

Intel presenta los mayores cambios de arquitectura de CPUs, GPUs e IPU en una generación

La compañía impulsa la próxima era de la computación para centros de datos, el edge y clientes, haciendo frente a las cargas de trabajo y los retos de computación del futuro

19 de agosto de 2021 - Durante el "Architecture Day 2021" celebrado por Intel, Raja Koduri y los arquitectos de la firma han compartido los detalles de sus últimas novedades sobre: dos nuevas arquitecturas de núcleo x86; la primera arquitectura híbrida de rendimiento de Intel denominada "Alder Lake" - con el programador inteligente de cargas de trabajo Intel[®] "Thread Director"-; "Sapphire Rapids", el procesador "Intel[®] Xeon[®] Scalable" de próxima generación para el centro de datos; las nuevas unidades de procesamiento de infraestructura (IPU, por sus siglas en inglés); las próximas arquitecturas gráficas, incluidas las microarquitecturas X^e HPG y X^e HPC; y, por último, SoC Alchemist y Ponte Vecchio.

Las nuevas arquitecturas comunicadas durante el día de hoy van a impulsar los productos de alto rendimiento que están por venir y sentarán las bases de la próxima era de innovación de Intel, la cual está destinada a satisfacer la creciente demanda mundial de potencia computacional.

Raja Koduri ha hecho hincapié en la importancia que suponen estos avances de la arquitectura a la hora de satisfacer dicha demanda, señalando: "La arquitectura es la alquimia del hardware y el software. Reúne los mejores transistores para un determinado motor, los conecta mediante un empaquetado avanzado, integra cachés de gran ancho de banda y bajo consumo, y los equipa con memorias de gran capacidad y ancho de banda con interconexiones escalables de baja latencia para clústeres de computación híbrida en un mismo encapsulado, mientras al mismo tiempo garantiza que todo el software se acelera sin problemas. (...) Las novedades que hemos dado a conocer hoy demuestran cómo la arquitectura satisfará la demanda de un mayor rendimiento de computación, a medida que las cargas de trabajo, desde el escritorio hasta el centro de datos, sean más grandes, más complejas y más diversas".

Núcleos x86

Núcleo de Eficiencia

La nueva microarquitectura de Núcleos de Eficiencia de Intel, cuyo nombre en clave previamente era "Gracemont", está especialmente diseñada para la eficiencia del rendimiento, lo que permite un rendimiento escalable de múltiples hilos en la multitarea moderna. Se trata de la microarquitectura x86 más eficiente de Intel, con un objetivo ambicioso en el área del silicio para que las cargas de trabajo multinúcleo puedan escalar con el número de núcleos. Asimismo, ofrece una amplia gama de frecuencias. La microarquitectura y el esfuerzo dedicado al diseño permiten que el Núcleo de Eficiencia funcione a bajo voltaje para así, reducir el consumo general de energía, al tiempo que crea un margen de maniobra para poder operar a frecuencias más altas. Esto permite al Núcleo de Eficiencia aumentar el rendimiento para cargas de trabajo que sean más exigentes.

El Núcleo de Eficiencia se apoya en una serie de avances técnicos para poder priorizar las cargas de trabajo sin malgastar la potencia de procesamiento y para mejorar directamente el rendimiento a través de funciones que mejoran la instrucción por ciclo (IPC, por sus siglas en inglés), entre ellas:

- Objetivo de 5000 entradas a caché que mejoran los resultados de predicción del flujo de instrucciones
- Caché de instrucciones de 64 kilobytes para mantener cerca las instrucciones útiles sin consumir energía del subsistema de memoria
- El primer decodificador de longitudes de instrucción de Intel que genera información de pre-decodificación
- El decodificador agrupado *out-of-order* de Intel que permite decodificar hasta seis instrucciones por ciclo manteniendo la eficiencia energética
- Un amplio *back end* con asignación de cinco-wide y retirada de ocho-wide, una ventana *out-of-order* de 256 entradas y 17 puertos de ejecución
- Potentes funciones de seguridad compatibles con la tecnología Intel de aplicación del flujo de control y la protección de redireccionamiento de la tecnología de virtualización Intel
- La implementación de la AVX ISA junto a nuevas extensiones para admitir operaciones de inteligencia artificial (AI, por sus siglas en inglés)

En comparación con Skylake, el núcleo de eficiencia de la microarquitectura híbrida de Intel ofrece un 40% más de rendimiento con la misma energía, o el mismo rendimiento consumiendo menos del 40% de la energía¹. En cuanto al rendimiento, cuatro Núcleos de Eficiencia ofrecen un 80% más de rendimiento y consumen menos energía que dos núcleos Skylake que ejecutan cuatro hilos, o el mismo rendimiento y consumen un 80% menos de energía¹.

Núcleo de Rendimiento

La nueva microarquitectura del Núcleo de Rendimiento de Intel, cuyo nombre en clave previamente era "Golden Cove", está diseñada con foco en velocidad y supera los límites de la baja latencia y el rendimiento de las aplicaciones de un solo hilo. Las cargas de trabajo crecen en código y exigen más capacidades de ejecución. Los conjuntos de datos también crecen masivamente junto a los requisitos de ancho de banda de datos. La nueva microarquitectura de Núcleos de Rendimiento de Intel proporciona un aumento significativo del rendimiento de propósito en general y un mejor soporte para las aplicaciones de código.

El Núcleo de Rendimiento presenta una arquitectura más amplia, profunda e inteligente:

- Más amplia: seis decodificadores (frente a cuatro); ocho μ op de caché (frente a seis); seis de asignación (frente a cinco) y 12 puertos de ejecución (frente a 10)
- Más profundo: Archivos de registro más grandes; archivos de registro físicos más grandes; buffer de reordenación más profundo con 512 entradas
- Más inteligente: mayor precisión en la predicción de bifurcaciones; reducción de la latencia efectiva de la memoria L1; optimizaciones del ancho de banda de la predicción de escritura en la memoria L2

El Núcleo de Rendimiento es el núcleo de CPU de mayor rendimiento que Intel haya fabricado nunca. Supera los límites de la baja latencia y del rendimiento de las aplicaciones de un solo hilo con:

- Una mejora en Geomean del ~19% en una amplia gama de cargas de trabajo con respecto a la actual arquitectura de procesadores Intel[®] Core™ de 11^a generación (Cypress Cove) a la frecuencia ISO para el desempeño de propósito general.¹
- Exposición para un mayor paralelismo y un aumento del paralelismo de ejecución
- Intel[®] Advanced Matrix Extensions, el avance de aceleración de IA incorporado de próxima generación, para un profundo aprendizaje de inferencia y rendimiento entrenado. Incluye hardware dedicado y una nueva arquitectura de conjunto de instrucciones para realizar operaciones de multiplicación de matrices con una rapidez significativa
- Reducción de la latencia y mayor compatibilidad con aplicaciones de grandes datos y código

Ciente

Alder Lake

Alder Lake, la arquitectura de cliente de nueva generación de Intel, es la primera arquitectura híbrida de rendimiento de la firma, que, por primera vez, integra una combinación de Núcleos de Eficiencia y Núcleos de Rendimiento para un rendimiento significativo en todo tipo de cargas de trabajo. Alder Lake se basa en el proceso Intel 7 y admite la última memoria y las I/O más rápidas.

Esta tecnología ofrecerá un rendimiento increíble en todos los segmentos de clientes, desde ultraportátiles, hasta ordenadores de escritorio de ámbito comercial o para entusiastas, al valerse de una arquitectura de sistema en chip (SoC, por sus siglas en inglés) única y altamente escalable con tres puntos clave de diseño:

- Máximo rendimiento, dos chips, socketed desktop con un desempeño líder, eficiencia energética, memoria e I/O.
- Un encapsulado BGA móvil de alto rendimiento, que agrega imágenes, gráficos X^e más grandes y conectividad Thunderbolt 4.
- Un encapsulado fino, de baja potencia y alta densidad, con I/O optimizadas y suministro de energía.

El desafío de construir una arquitectura tan escalable es satisfacer las demandas de ancho de banda de los agentes de computación e I/O sin comprometer la potencia. Para resolver este desafío, Intel ha diseñado tres estructuras independientes, cada una con heurísticas en tiempo real basadas en la demanda:

- La estructura de computación puede admitir hasta 1.000 gigabytes por segundo (GBps, por sus siglas en inglés), lo que significa que cuenta con 100 GBps por núcleo o por clúster y que conecta los núcleos y los gráficos a la memoria, a través de un caché de último nivel.
 - o Presenta un alto rango de frecuencia dinámica y es capaz de seleccionar dinámicamente la ruta de datos para la latencia, frente a la optimización del ancho de banda en función de las cargas reales.
 - o Ajusta dinámicamente la política de caché de último nivel -inclusiva o no inclusiva-, según la utilización.
- La estructura de I/O admite hasta 64 GBps, conectando los diferentes tipos de I/O, así como los dispositivos internos. Además, puede cambiar la velocidad sin interferir en el funcionamiento normal de un dispositivo, al seleccionar la velocidad de la estructura para que coincida con la cantidad requerida de transferencia de datos.
- La estructura de memoria puede ofrecer hasta 204 GBps de datos y escalar dinámicamente el ancho y la velocidad de su bus, con el fin de soportar múltiples puntos operativos para un ancho de banda alto, baja latencia o baja potencia.

Intel Thread Director

Para que los Núcleos de Rendimiento y los Núcleos de Eficiencia funcionen correctamente con el sistema operativo, Intel ha diseñado una tecnología de programación mejorada llamada "Intel Thread Director". Desarrollada directamente en el hardware, "Thread Director" proporciona telemetría de bajo nivel sobre el estado del núcleo y combina las instrucciones del hilo de ejecución, permitiendo al sistema operativo colocar la carga de trabajo correcta en el núcleo apropiado y en el momento adecuado. Thread Director es dinámica y adaptable: ajusta las decisiones de programación a las

necesidades de computación en tiempo real, en lugar de emplear un enfoque más simple y estático basado en reglas.

Tradicionalmente, el sistema operativo tomaba decisiones basadas en estadísticas limitadas, como tareas en primer y segundo plano. Sin embargo, "Intel Thread Director" añade una nueva dimensión de la siguiente manera:

- Usando la telemetría de hardware para dirigir las cargas de trabajo que requieren un mayor rendimiento al Núcleo de Rendimiento correcto en ese momento.
- Monitorizando la combinación de instrucciones, el estado del núcleo y otra telemetría de microarquitectura relevante a un nivel granulado, lo que ayuda al sistema operativo a tomar decisiones de programación más inteligentes.
- Optimizando "Thread Director" para obtener el mejor rendimiento en Windows 11, mediante la colaboración con Microsoft.
- Ampliando la "API PowerThrottling", que permite a los desarrolladores especificar los atributos de calidad de servicio para sus cargas de trabajo
- Aplicando una nueva clasificación EcoQoS, que informa al programador si la carga de trabajo prefiere la eficiencia energética (dichas cargas se programan en núcleos eficientes).

Microarquitectura X^e HPG y SoCs Alchemist

X^e HPG es una nueva microarquitectura de gráficos discretos, diseñada para escalar a un rendimiento de clase entusiasta para cargas de trabajo de juegos y creación. La microarquitectura X^e HPG impulsa la familia de SoCs Alchemist, y los primeros productos relacionados saldrán al mercado en el primer trimestre de 2022 bajo la marca Intel[®] Arc[™]. La microarquitectura X^e HPG cuenta con un nuevo X^e-core, un elemento programable y escalable centrado en la computación.

La hoja de ruta de los gráficos para clientes incluye los SoCs Alchemist (antes denominado DG2), Battlemage, Celestial y Druid. Durante la presentación, Intel proporcionó detalles de la microarquitectura y compartió demostraciones que se ejecutaban en un SoC Alchemist de preproducción, que mostraban un juego real, una prueba de salud de Unreal Engine 5 y una nueva tecnología de supermuestreo basada en neuronas llamada X^eSS.

Los SoC Alchemist, basados en la microarquitectura X^e HPG, están diseñados para ofrecer una gran escalabilidad y eficiencia de computación con características arquitectónicas clave:

- Hasta ocho cortes de renderizado con función fija diseñados para DirectX 12 Ultimate
- Nuevos núcleos X^e con 16 motores vectoriales y 16 motores matriciales (denominados XMx - X^e Matrix eXtensions), caché y memoria local compartida
- Nuevas unidades de trazado de rayos con soporte para DirectX Raytracing (DXR) y Vulkan Ray Tracing
- Mejora de 1,5 veces de frecuencia y 1,5 veces de rendimiento/vatio en comparación con la microarquitectura X^e LP mediante una combinación de arquitectura, diseño lógico, diseño de circuitos, tecnología de proceso y optimizaciones de software¹
- Fabricado en el nodo de proceso N6 de TSMC

Un aspecto central de los esfuerzos de Intel en materia de gráficos es priorizar el software:

- La arquitectura X^e se está diseñando en estrecha colaboración con los desarrolladores, impulsando la alineación con los estándares de la industria
- La primera unidad de procesamiento de gráficos (GPU, por sus siglas en inglés) de Intel para juegos de alto rendimiento prioriza el rendimiento y la calidad a través de un diseño de

controlador que cubre los productos gráficos integrados y discretos en una base de código unificada.

- Intel ha completado una rearquitectura de los componentes principales del controlador de gráficos, específicamente el administrador de memoria y el compilador, lo que ha dado como resultado una mejora en el rendimiento de los títulos vinculados a la CPU en un 15% (y hasta en un 80%) y una mejora en los tiempos de carga de los juegos en un 25%.

X^eSS

X^eSS aprovecha la aceleración XMV AI construida en Alchemist para ofrecer una novedosa tecnología de escalado que permite obtener imágenes de alto rendimiento y alta fidelidad. Utiliza el aprendizaje profundo para sintetizar imágenes que se acercan a la calidad del renderizado nativo de alta resolución. Con X^eSS, los juegos que solo podrían jugarse con ajustes de calidad más bajos o resoluciones más bajas, pueden ejecutarse sin problemas con ajustes y resoluciones de mayor calidad.

- X^eSS funciona reconstruyendo los detalles de los subpíxeles a partir de los píxeles vecinos, así como de los fotogramas anteriores compensados por el movimiento.
- La reconstrucción la realiza una red neuronal entrenada para ofrecer un alto rendimiento y una gran calidad, con un aumento del rendimiento de hasta el doble¹
- X^eSS ofrece un supermuestreo basado en IA en un amplio conjunto de hardware, incluidos los gráficos integrados, aprovechando el conjunto de instrucciones DP4a
- Varios de los primeros desarrolladores de juegos están trabajando en X^eSS, y el SDK para la versión inicial XMV estará disponible para los ISV este mes, mientras que la versión DP4a estará disponible a finales de este año.

Centro de datos

Procesador escalable Intel Xeon de próxima generación (cuyo nombre en clave es "Sapphire Rapids")

Sapphire Rapids representa el mayor avance de la plataforma de centros de datos de Intel. El procesador ofrece un rendimiento de computación sustancial en los usos dinámicos y cada vez más exigentes del centro de datos y está optimizado para ofrecer un alto rendimiento en modelos de computación elásticos como la nube, los microservicios y la IA.

En el corazón de Sapphire Rapids se encuentra una arquitectura de SoC modular en mosaico que ofrece la tecnología de empaquetado como puente de interconexión multidisco integrado (EMIB, por sus siglas en inglés) de Intel para ofrecer una importante escalabilidad al tiempo que mantiene las ventajas de una interfaz de CPU monolítica. Sapphire Rapids ofrece una arquitectura de acceso a la memoria unificada y equilibrada, en la que cada hilo tiene completo acceso a todos los recursos en todos los *tiles*, incluidos los cachés, la memoria e I/O. El resultado ofrece una baja latencia constante y un gran ancho de banda transversal en todo el SoC.

Sapphire Rapids está construido con la tecnología de proceso Intel 7 y cuenta con la nueva microarquitectura de Núcleos de Rendimiento de Intel, que está diseñada con foco en la velocidad y empuja los límites del rendimiento de las aplicaciones de baja latencia y de un solo hilo.

Sapphire Rapids ofrece la gama más amplia de aceleradores relevantes para el centro de datos de la industria, incluyendo una nueva arquitectura de conjuntos de instrucciones e IP integrada para

aumentar el rendimiento en la gama más amplia de cargas de trabajo y usos de los clientes. Los nuevos motores de aceleración incorporados incluyen:

- Intel[®] Accelerator Interfacing Architecture (AIA) - Apoya de manera eficiente el envío, la sincronización y la señalización a los aceleradores y dispositivos
- Intel[®] Advanced Matrix Extensions (AMX) – Un nuevo motor de aceleración de cargas de trabajo introducido en Sapphire Rapids que ofrece un aumento masivo de la velocidad del procesamiento en el corazón de los algoritmos de aprendizaje profundo. Puede proporcionar un aumento de la capacidad de computación con 2K INT8 y 1K BFP16 operaciones por ciclo. Utilizando el primer silicio de Sapphire Rapids, las microcomparaciones de multiplicación de matrices internas optimizadas se ejecutan más de 7 veces más rápido utilizando las nuevas extensiones del conjunto de instrucciones Intel AMX en comparación con una versión de la misma microcomparación que utiliza las instrucciones Intel AVX-512 VNNI, lo que proporciona un aumento sustancial del rendimiento en las cargas de trabajo de IA tanto para el entrenamiento como para la inferencia.
- Intel[®] Data Streaming Accelerator (DSA, por sus siglas en inglés) – Diseñado para descargar las tareas de movimiento de datos más comunes que causan la sobrecarga que se observa en las implementaciones a escala del centro de datos. Intel DSA mejora el procesamiento de estas tareas de sobrecarga para ofrecer un mayor rendimiento general de la carga de trabajo y puede mover datos entre la CPU, la memoria y las cachés, así como todos los dispositivos de memoria, almacenamiento y red conectados.

Estos avances en arquitectura permiten a Sapphire Rapids ofrecer un gran rendimiento preparado para utilizar para la gama más amplia de cargas de trabajo y modelos de despliegue en la nube, el centro de datos, la red y el *edge* inteligente. El procesador está construido para impulsar las transiciones tecnológicas de la industria con memoria avanzada e I/O de última generación, incluyendo las tecnologías PCIe 5.0, CXL 1.1, DDR5 y HBM.

Unidad de procesamiento de infraestructuras (IPU, por sus siglas en inglés)

La IPU es un dispositivo de red programable diseñado para permitir a los proveedores de servicios en la nube y de comunicación reducir la sobrecarga y liberar rendimiento para las CPU.

La arquitectura basada en la IPU de Intel ofrece varias ventajas importantes:

- La fuerte separación de las funciones de infraestructura y la carga de trabajo del tenant permite a los tenants tomar el control total de la CPU
- El operador de la nube puede descargar las tareas de infraestructura a la IPU, maximizando la utilización de la CPU y los ingresos
- Las IPU pueden gestionar el tráfico de almacenamiento, lo que reduce la latencia a la vez que utiliza eficientemente la capacidad de almacenamiento a través de una arquitectura de servidor sin disco. Con una IPU, los clientes pueden utilizar mejor los recursos con una solución segura, programable y estable que les permite equilibrar el procesamiento y el almacenamiento

A sabiendas de que una misma solución no es válida para todos, Intel ha compartido una visión más profunda de su arquitectura IPU y ha presentado los siguientes nuevos miembros de la familia IPU, todos ellos diseñados para abordar la complejidad de los centros de datos diversos y dispersos.

Mount Evans es la primera IPU ASIC de Intel. Se ha diseñado y desarrollado en colaboración con uno de los principales proveedores de servicios en la nube e integra los conocimientos adquiridos en

varias generaciones de FPGA SmartNIC.

- Preparado para la hiperescala, ofrece una descarga de virtualización de red y almacenamiento de alto rendimiento manteniendo un alto grado de control
- Proporciona un motor de procesamiento de paquetes programable de primera clase que permite su uso en casos como los cortafuegos y el enrutamiento virtual
- Implementa una interfaz de almacenamiento NVMe acelerada por hardware a partir de la tecnología Intel Optane para emular dispositivos NVMe
- Desarrolla una aceleración avanzada de criptografía y compresión, aprovechando la tecnología Intel[®] Quick Assist de alto rendimiento
- Se puede programar utilizando entornos de software existentes y comúnmente desplegados, incluyendo DPDK, SPDK; y el pipeline se puede configurar utilizando el lenguaje de programación P4, pionero en la División de Conmutación Barefoot de Intel

Oak Springs Canyon es una plataforma IPU construida con Intel[®] Xeon-D y la FPGA Intel[®] Agilex[™], la FPGA líder del sector en potencia, eficiencia y rendimiento, para:

- Descargar las funciones de virtualización de la red como el conmutador virtual abierto (OVS, por sus siglas en inglés) y las funciones de almacenamiento como NVMe over fabric y RoCE v2, y proporcionar un bloque criptográfico reforzado que ofrece una interfaz de red 2x 100 gigabit Ethernet más segura y de alta velocidad
- Permitir a los socios y clientes de Intel personalizar sus soluciones con Intel Open FPGA *Stack*, una infraestructura de software y hardware escalable y accesible desde la fuente
- Se puede programar utilizando entornos de software existentes y comúnmente desplegados, incluidos DPDK y SPDK, que han sido optimizados en x86

La plataforma de desarrollo de aceleración Intel N6000, cuyo nombre en clave es "Arrow Creek", es una SmartNIC diseñada para su uso con servidores basados en Xeon. Cuenta con:

- FPGA Agilex de Intel, la FPGA líder de la industria en cuanto a potencia, eficiencia y rendimiento; controlador Intel Ethernet Serie 800 para la aceleración de redes de 100 gigabits de alto rendimiento
- Compatibilidad con varias cargas de trabajo de infraestructura que permiten a los proveedores de servicios de comunicación (CoSP) ofrecer cargas de trabajo aceleradas flexibles como Juniper Contrail, OVS y SRv6, aprovechando el éxito del PAC-N3000 de Intel, que ya está desplegado en algunos de los principales CoSP del mundo

X^e HPC y Ponte Vecchio

Ponte Vecchio, basado en la microarquitectura X^e HPC, ofrece los FLOPs y la densidad de computación líderes en la industria para acelerar la IA, la computación de alto rendimiento (HPC, por sus siglas en inglés) y las cargas de trabajo de análisis avanzado. Intel ha revelado la información de los bloques IP de la microarquitectura X^e HPC, incluyendo ocho motores Vectoriales y Matriciales (denominados XMx - X^e Matrix eXtensions) por cada núcleo X^e; información sobre los cortes y los *stacks*; e información sobre los *tiles*, incluyendo los nodos de proceso para los *tiles* de cómputo, Base y X^e Link. Durante el Architecture Day, Intel ha mostrado primer silicio Ponte Vecchio ya está demostrando un rendimiento líder, estableciendo un récord en la industria tanto en la inferencia como en el rendimiento de training en un popular benchmark de IA 1.1 El silicio A0 de Intel ya está proporcionando un rendimiento en FP32 de más de 45 TFLOPS, más de 5 TBps de ancho de banda de la estructura de memoria y más de 2 TBps de ancho de banda de conectividad. Intel también compartió una demostración que muestra el rendimiento de inferencia de ResNet de más de 43.000 imágenes por segundo y más de 3.400 imágenes por segundo con el entrenamiento de ResNet, ambos en camino de ofrecer el liderazgo en rendimiento.

Ponte Vecchio se compone de varios diseños complejos que se manifiestan en *tiles*, que luego se ensamblan mediante un *tile* EMIB que permite una conexión de bajo consumo y alta velocidad entre el resto de los *tiles*. Estas piezas se reúnen en un embalaje Foveros que crea el apilamiento 3D del silicio activo para obtener densidad de potencia e interconexión. Una interconexión MDFI de alta velocidad permite escalar de una a dos *stacks*.

Compute Tile es un paquete denso de X^e-cores y es el corazón de Ponte Vecchio.

- Un *tile* tiene ocho X^e-cores con un total de 4MB de caché L1, su clave para ofrecer una computación de bajo consumo
- Construido sobre la tecnología de proceso más avanzada de TSMC, N5
- Intel ha allanado el camino con la configuración de la infraestructura de diseño y los flujos de herramientas, así como con la metodología para poder probar y verificar los *tiles* para este nodo
- El *tile* tiene un paso de bump extremadamente ajustado de 36 micras para el apilamiento 3D con Foveros

Base Tile es el tejido conectivo de Ponte Vecchio. Es un gran troquel construido en Intel 7 optimizado para la tecnología Foveros.

- Base Tile es el lugar donde se unen todos los componentes complejos de I/O y de gran ancho de banda con la infraestructura del SoC: PCIe Gen5, memoria HBM2e, links MDFI para conectar entre *tiles* y puentes EMIB.
- La conexión 3D de gran ancho de banda con la interconexión 2D de alta calidad y la baja latencia hacen que esta sea una máquina de conectividad infinita
- El equipo de desarrollo de tecnología de Intel trabajó para cumplir con los requisitos de ancho de banda, paso de baches e integridad de la señal

X-Link Tile proporciona la conectividad entre las GPUs soportando ocho links por *tile*.

- Es fundamental para la ampliación de la HPC y la IA
- Apunta a los SerDes más rápidos soportados en Intel - hasta 90G
- Este *tile* se añadió para permitir la solución de escalado para el superordenador Aurora exascale

Ponte Vecchio está en marcha, se encuentra en fase de validación y se ha comenzado a realizar un muestreo limitado a los clientes. Ponte Vecchio saldrá a la venta en 2022 para los mercados de HPC e IA.

oneAPI

La iniciativa industrial oneAPI proporciona un *stack* de software unificado, abierto y basado en estándares de multiarquitectura y multiproveedor, lo que permite a los desarrolladores liberarse de los lenguajes y modelos de programación propietarios. En la actualidad, existen implementaciones de Data Parallel C++ (DPC++) y de la biblioteca oneAPI para las GPU de Nvidia, las GPU de AMD y las CPU de Arm. oneAPI está siendo adoptada ampliamente por proveedores de software independientes (ISV), proveedores de sistemas operativos, usuarios finales y académicos. Los principales líderes del sector están ayudando a hacer evolucionar la especificación para que admita más casos de uso y arquitecturas. Intel también cuenta con una oferta de productos comerciales que incluye el kit de herramientas básico de oneAPI, que añade compiladores, analizadores, depuradores y herramientas de portabilidad más allá del lenguaje y las bibliotecas de la especificación.

oneAPI ofrece compatibilidad entre arquitecturas, mejorando la productividad y la innovación de los desarrolladores:

- Hay más de 200.000 instalaciones únicas de los kits de herramientas oneAPI de Intel
- Más de 300 aplicaciones desplegadas en el mercado utilizan el modelo de programación unificado de oneAPI
- Más de 80 aplicaciones de HPC e IA son funcionales en la microarquitectura X^e HPC utilizando los kits de herramientas Intel oneAPI
- La versión provisional 1.1 de la especificación publicada en mayo añade nuevas interfaces gráficas para cargas de trabajo de aprendizaje profundo y bibliotecas avanzadas de trazado de rayos, y se espera que se finalice a finales de año

¹ Para cargas de trabajo y configuraciones, visite <https://www.intel.com/ArchDay21claims>. Los resultados pueden variar.

Avisos y Disclaimers

El rendimiento varía según el uso, la configuración y otros factores. Obtenga más información en www.intel.com/PerformanceIndex. Los resultados de rendimiento se basan en pruebas realizadas en las fechas indicadas en las configuraciones y pueden no reflejar todas las actualizaciones disponibles públicamente. Consulte <https://www.intel.com/ArchDay21claims> para conocer los detalles de la configuración. Ningún producto o componente puede ser absolutamente seguro.

Todos los planes y hojas de ruta de los productos están sujetos a cambios sin previo aviso. Los resultados que se basan en sistemas y componentes de preproducción, así como los resultados que se han estimado o simulado utilizando una Plataforma de Referencia de Intel (un nuevo sistema de ejemplo interno), un análisis interno de Intel o una simulación o modelado de arquitectura, se le proporcionan únicamente con fines informativos. Los resultados pueden variar en función de futuros cambios en los sistemas, componentes, especificaciones o configuraciones. Las tecnologías de Intel pueden requerir la activación de hardware, software o servicios habilitados.

Los nombres en clave son utilizados por Intel para identificar productos, tecnologías o servicios que están en desarrollo y no están disponibles públicamente. No son nombres "comerciales" y no pretenden funcionar como marcas comerciales.

Las declaraciones que se refieren a planes y expectativas futuras son declaraciones prospectivas que implican una serie de riesgos e incertidumbres. Palabras como "anticipa", "espera", "pretende", "objetivos", "planea", "cree", "busca", "estima", "continúa", "puede", "hará", "debería", "podría", y variaciones de dichas palabras y expresiones similares tienen por objeto identificar dichas declaraciones prospectivas. Las declaraciones que se refieren o se basan en estimaciones, previsiones, proyecciones, acontecimientos inciertos o suposiciones, incluidas las declaraciones relativas a productos y tecnología futuros y a la disponibilidad y los beneficios esperados de dichos productos y tecnología, a las oportunidades de mercado y a las tendencias previstas en nuestros negocios o en los mercados correspondientes, también identifican las declaraciones prospectivas. Dichas declaraciones se basan en las expectativas actuales de la dirección e implican muchos riesgos e incertidumbres que podrían hacer que los resultados reales difirieran materialmente de los expresados o implícitos en estas declaraciones prospectivas. Los factores importantes que podrían causar que los resultados reales difirieran materialmente de las expectativas de la empresa se exponen en los informes de Intel presentados o suministrados a la Comisión de Valores y Bolsa (SEC), incluidos los informes más recientes de Intel en el Formulario 10-K y el Formulario 10-Q, disponibles en el sitio web de relaciones con los inversores de Intel en www.intc.com y en el sitio web de la SEC en www.sec.gov/. Intel no se compromete, y rechaza expresamente cualquier obligación, a actualizar cualquier declaración hecha en esta presentación, ya sea como resultado de nueva información, nuevos desarrollos u otros, excepto en la medida en que la divulgación pueda ser requerida por la ley.

Intel no controla ni audita los datos de terceros. Debe consultar otras fuentes para evaluar la exactitud.

Sobre Intel

Intel (Nasdaq: INTC) es un líder de la industria, que crea tecnología que cambia el mundo y permite el progreso global y enriquece la vida. Inspirados por la Ley de Moore, trabajamos continuamente para avanzar en el diseño y la fabricación de semiconductores para ayudar a resolver los mayores desafíos de nuestros clientes. Al integrar la inteligencia en la nube, la red, el *edge* y todo tipo de dispositivo informático, liberamos el potencial de los datos para transformar los negocios y la sociedad para mejor. Para saber más sobre las innovaciones de Intel, visite newsroom.intel.com e intel.com.

© Intel Corporation. Intel, el logotipo de Intel y otras marcas de Intel son marcas comerciales de Intel Corporation o sus filiales. Otros nombres y marcas pueden ser reclamados como propiedad de otros.